**Laborator 6**

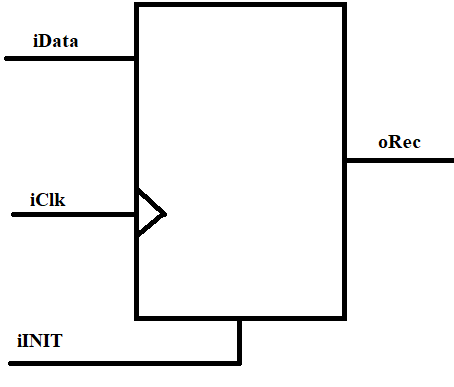
**Modelarea/sinteza clasica a FSM**

* 1. **Modelarea unui recunoscător de secvenţă dinamic cu intrare pe un bit**

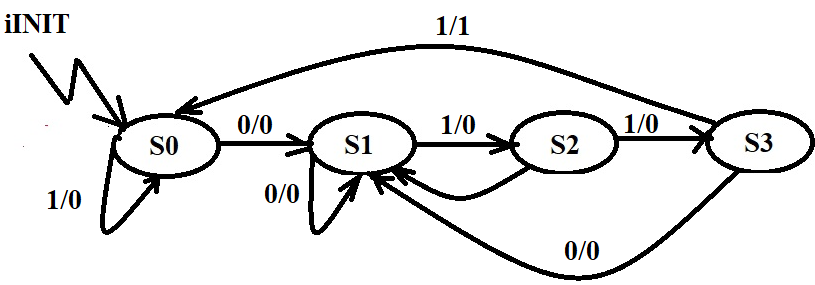
Se va modela/sintetiza un *recunoscător de secvenţă dinamic* (**RSD**) care generează 0 logic la ieṣire doar atunci cậnd este detectată în ṣirul de biţi de la intrare secvenţa utilă **0111**. Ḯn cazul RSD se acceptă suprapunerea parţială a secvenţelor utile detectate. Se vor considera atật modelul Mealy cật Moore.

**6.1.1 Modelul Mealy**

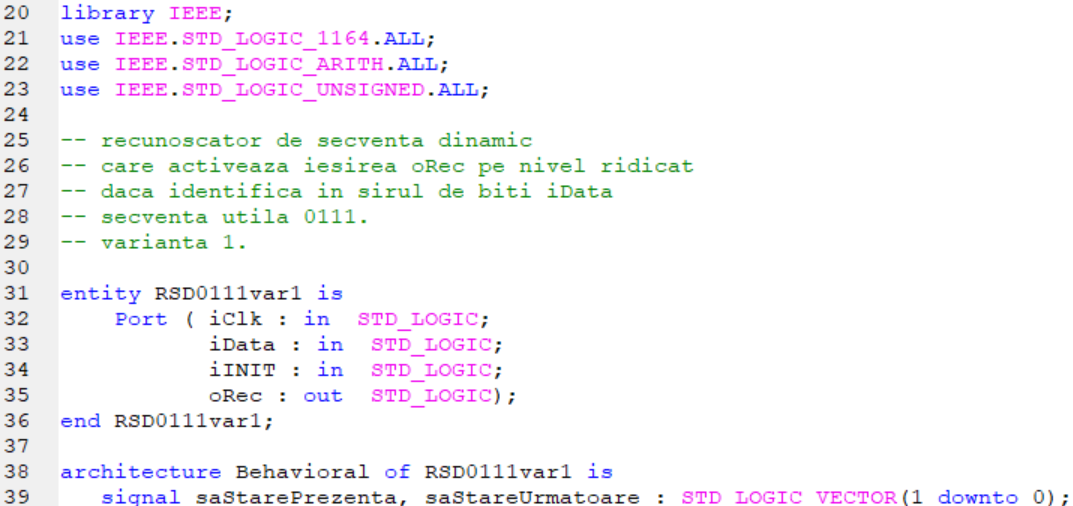
Schema bloc apare în Fig. 6.1 iar diagrama de stare aferentă modelului Mealy este cea din Fig. 6.2. Modelul VHDL cu stări asignate în cod GRAY (JOHNSON) pe 2 biţi este prezentat în Fig. 6.3 iar modelul VHDL cu stări simbolice în Fig. 6.4. Pentru testare se va utiliza secvenţa de biţi **10111011100110011111**.

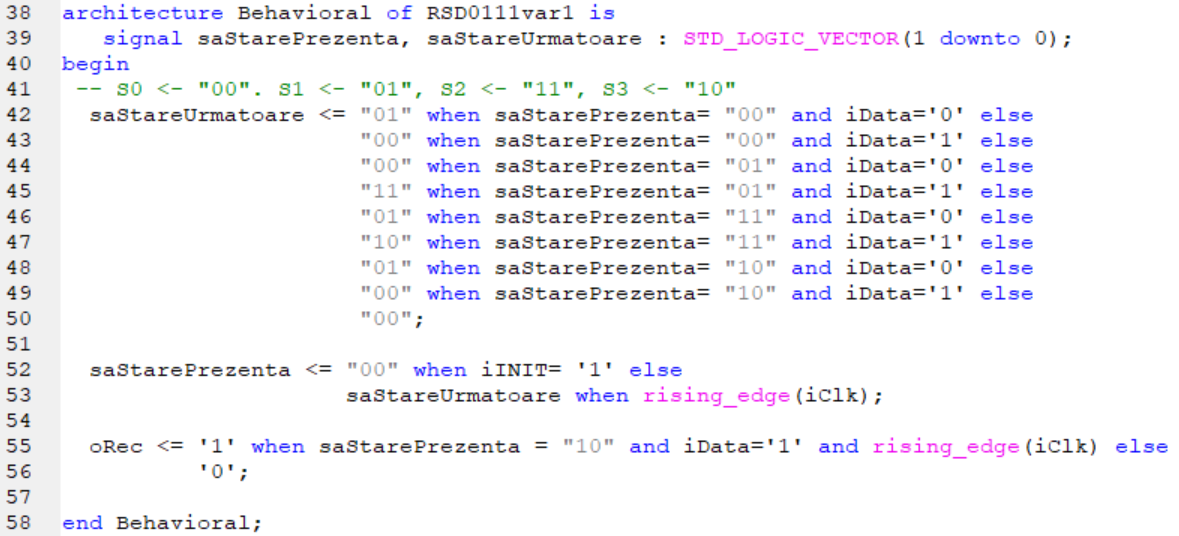


**Fig. 6.1**

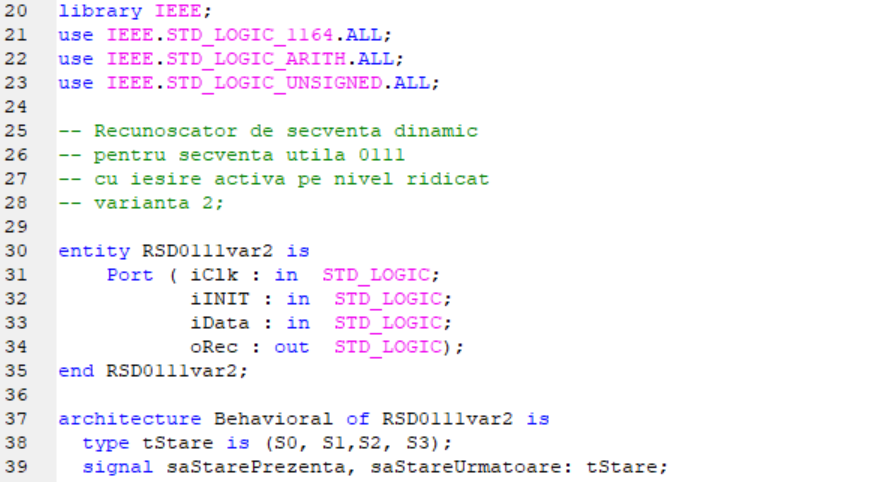


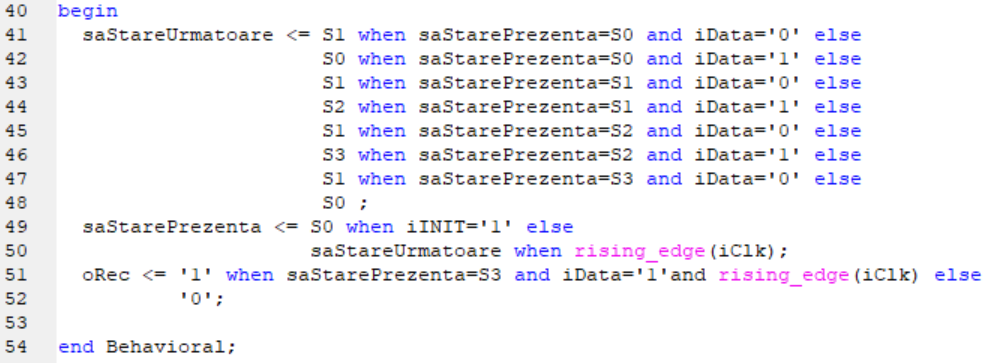
**Fig. 6.2**

****

****

**Fig. 6.3 Model Mealy (var1)**

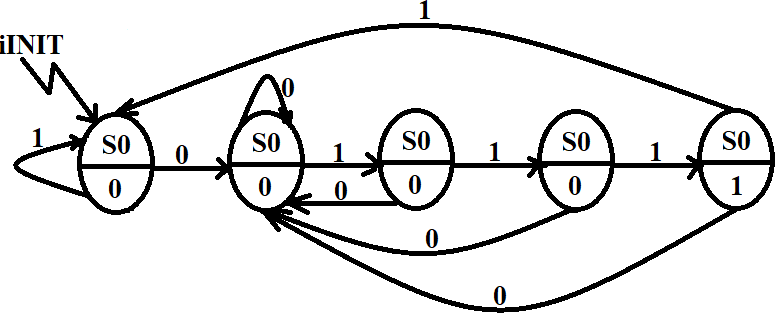
****

****

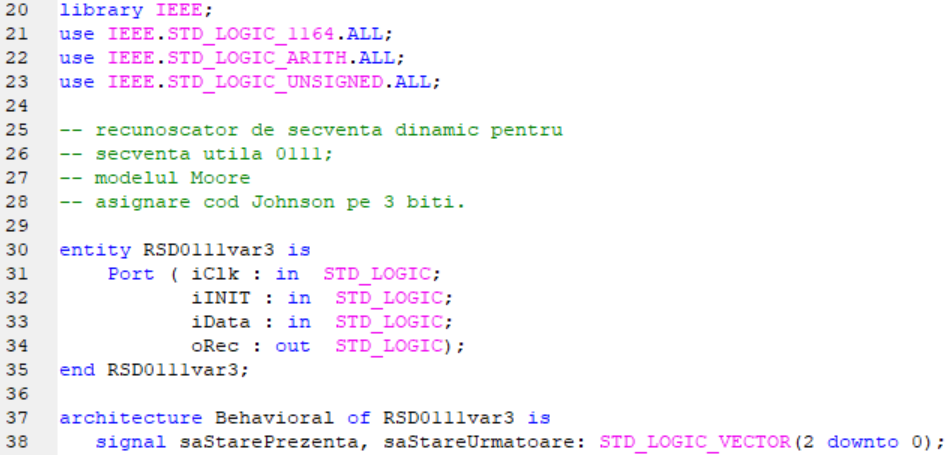
**Fig. 6.4 Model Mealy (var2)**

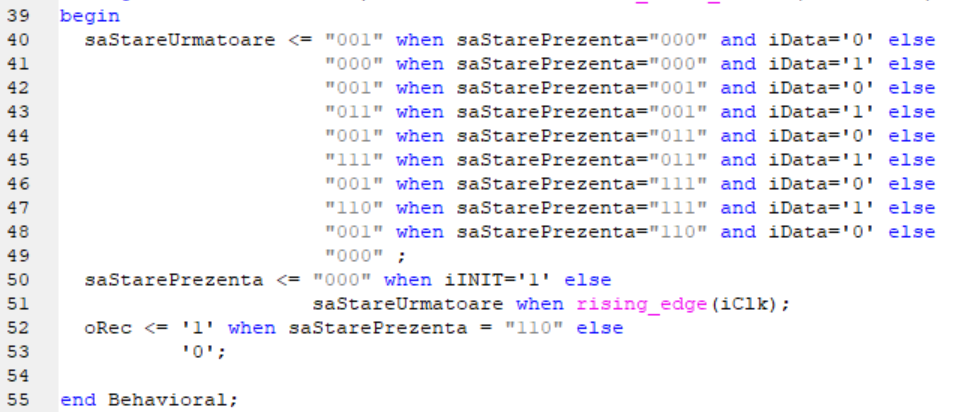
**6.1.2 Modelul Moore**

Diagrama de stare aferentă modelului Moore este cea din Fig. 6.5. Modelele VHDL cu stări asignate în cod JOHNSON (GRAY) pe 3 biţi respectiv cu stări simbolice sunt prezentate în Fig.6.6 respectiv Fig. 6.7.

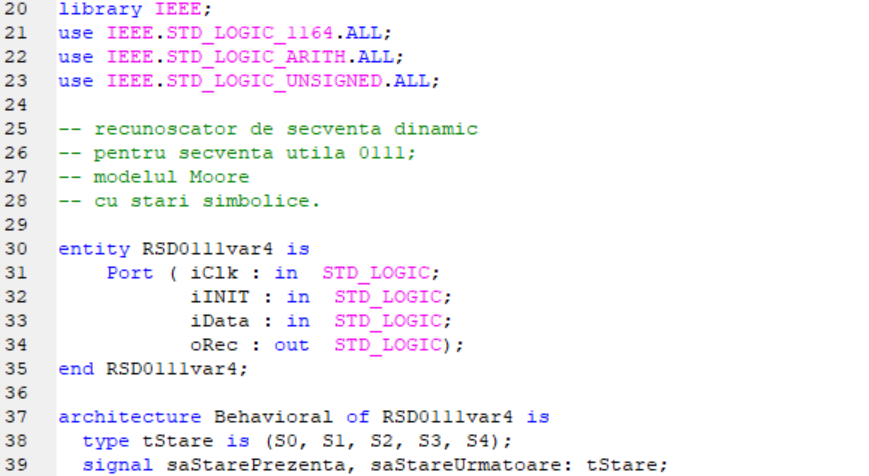
****

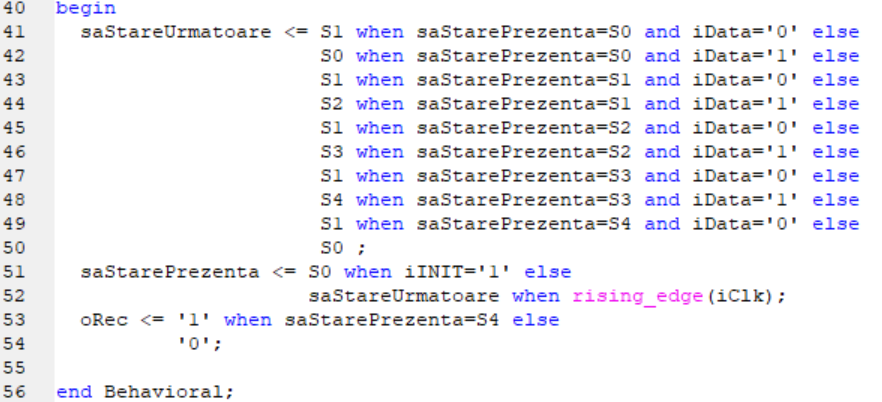
**Fig. 6.5**

****

****

**Fig. 6.6 Model Moore (var3)**

****

****

**Fig. 6.7 Model Moore (var4)**

**6.4 Desfăṣurarea lucrării**

1. Se vor sintetiza schemele prezentate mai sus.
2. Se va simula funcţionarea fiecărei scheme ṣi se vor formula concluziile corespunzătoare.
3. Se va sintetiza un RSD care activează ieṣirea în logică negativă ori de cậte ori detectează în ṣirul de biţi de la intrare secvenţele utile 100 sau 101. Se va utiliza modelul Moore.
4. Se va sintetiza un RSD cu inrarea de date pe 2 biţi, care activează ieṣirea în logică pozitivă ori de cậte ori detectează în ṣirul de biţi de la intrare secvenţa utilă 03120. Se va utiliza modelul Moore.